

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-70049

(43)公開日 平成8年(1996)3月12日

(51)Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 01 L 21/8238
27/092
27/04

H 01 L 27/ 08 3 2 1 H
27/ 04 H

審査請求 未請求 請求項の数 1 OL (全 3 頁) 最終頁に続く

(21)出願番号 特願平6-203839

(22)出願日 平成6年(1994)8月29日

(71)出願人 000004260

日本電装株式会社
愛知県刈谷市昭和町1丁目1番地

(72)発明者 福本 晴繼

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 田中 裕章

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 鶴田 和弘

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

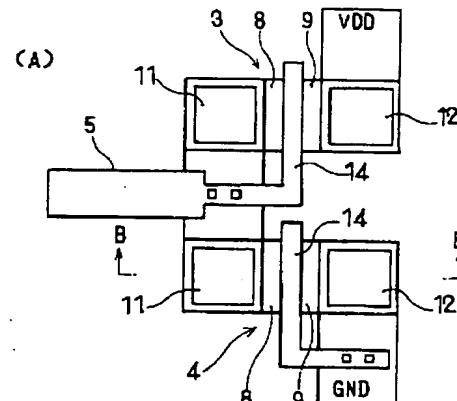
(74)代理人 弁理士 飯田 堅太郎

(54)【発明の名称】 入力保護回路

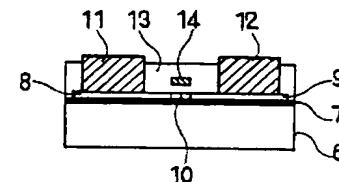
(57)【要約】

【目的】 放熱作用を向上させ、熱による障害の発生を
防止可能な入力保護回路を提供すること。

【構成】 CMOS論理回路2を保護するためのFET
3, 4を有する入力保護回路1である。入力保護回路1
は、CMOS論理回路2と共にSOI素子として構成さ
れる。FET3, 4のソース領域8及びドレイン領域9
の各コンタクト11, 12の面積は、CMOS論理回路
2のプロセスで使用される最小ルール面積よりも大きく
設定されている。



(B)



【特許請求の範囲】

【請求項1】 CMOS論理回路を保護するためのFETを有する入力保護回路であって、前記CMOS論理回路と共にSOI素子として構成される入力保護回路において、

前記FETのソース領域及びドレイン領域の各コンタクト面積を、前記CMOS論理回路のプロセスで使用される最小ルール面積よりも大きく設定したことを特徴とする入力保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、入力保護回路、詳しくは、CMOS (Complementary Metal Oxide Semiconductor) 論理回路を静電破壊から保護するための入力保護回路に関する。

【0002】

【従来の技術】一般に、CMOS論理回路を静電破壊から保護するための入力保護回路は、FET (Field Effect Transistor) や抵抗などを用い、CMOS論理回路の静電耐量に応じて上記保護素子の断面積を増大させる構成をとっている。

【0003】

【発明が解決しようとする課題】しかしながら、CMOS論理回路及び入力保護回路が、薄膜のSOI (Silicon On Insulator) 素子として構成される場合、入力保護回路がSiO₂膜の真上に形成されているため、放熱が著しく低下し、熱による障害が生じるおそれがある。

【0004】本発明は、上記問題点を解決し、放熱作用を向上させ、熱による障害の発生を防止可能な入力保護回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明に係る入力保護回路は、CMOS論理回路を保護するためのFETを有する入力保護回路であって、前記CMOS論理回路と共にSOI素子として構成される入力保護回路において、前記FETのソース領域及びドレイン領域の各コンタクト面積を、前記CMOS論理回路のプロセスで使用される最小ルール面積よりも大きく設定したことを特徴とする。

【0006】

【発明の作用効果】本発明に係る入力保護回路において、最小ルール面積とは、一般に、CMOS (Complementary Metal Oxide Semiconductor) 論理回路のプロセスにおいては、製造上の理由から、MOSFET (Field Effect Transistor) のソース領域及びドレイン領域のコンタクト面積について最小値がルール (規則) として決められており、この最小値のコンタクト面積をいう。

【0007】本発明に係る入力保護回路によると、FET

Tのソース領域及びドレイン領域の各コンタクト面積を、CMOS論理回路のプロセスで使用される最小ルール面積よりも大きく設定し、SOI素子に発生する熱を、面積が大きくなったコンタクトを介して外部に放熱するため、放熱作用が向上し、熱による障害の発生を防止しうるようになる。

【0008】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。

10 【0009】一実施例に係る入力保護回路1は、図2に示すように、CMOS論理回路2の入力側に設けられる。入力保護回路1は、2つの直列接続されたnチャネルMOSFET3, 4を備える。2つのnチャネルMOSFET3, 4は、直流電源VDDとグランドGNDとの間に接続されている。また、2つのnチャネルMOSFET3, 4の接続点aは、CMOS論理回路2の入力端子i2に接続される。また、上記接続点aと入力保護回路1の入力端子i1との間には、ポリシリコンからなる抵抗5が接続されている。

20 【0010】入力保護回路1は、CMOS論理回路2と共にSOI素子として構成される。入力保護回路1は、図1(A), (B)に示すような構造をしており、各nチャネルMOSFET3, 4は、図1(B)に示すように、Si基板6上のSiO₂膜7の上にソース領域8、ドレイン領域9及びチャネル10が形成されている。ソース領域8及びドレイン領域9の上には、それぞれコンタクト11, 12が形成されている。また、チャネル10の上方には、SiO₂膜13で被覆されたゲート電極14が形成されている。

30 【0011】各コンタクト11, 12は、CMOS論理回路2のコンタクトの最小ルール面積よりも大きい、例えば2倍程度の面積を有している。

【0012】次に、本実施例の動作を説明する。

【0013】入力端子i1とグランドGNDとの間に静電気による正のサージ電圧が印加されると、nチャネルMOSFET4には、逆方向電圧が印加されることになるため、パンチスルーより、ドレイン領域9、ソース領域8間に電流が流れ、結果として、入力端子i1から抵抗5及びnチャネルMOSFET4を順に経てグランドGNDに、サージ電流が流れる。

40 【0014】また、入力端子i1、グランドGND間に静電気による負のサージ電圧が印加されると、nチャネルMOSFET4には、順方向電圧が印加されることになるため、nチャネルMOSFET4は、通常のオン動作を行ない、ドレイン領域9、ソース領域8間に電流が流れ、結果として、グランドGNDからnチャネルMOSFET4及び抵抗5を順に経て入力端子i1に、サージ電流が流れる。

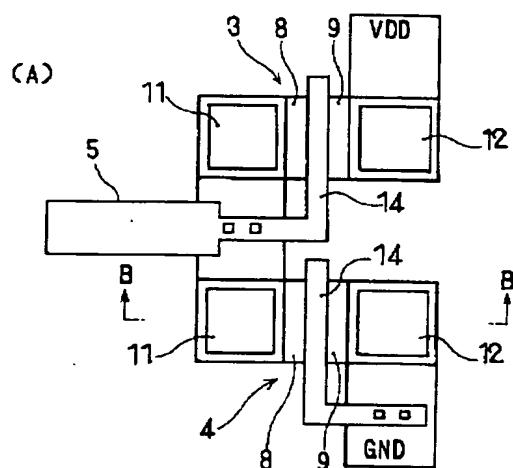
【0015】サージ電流がnチャネルMOSFET4に流れたとき、nチャネルMOSFET4はサージエネルギー

ギーにより発熱するが、nチャネルMOSFET 4のソース領域8及びドレイン領域9の各面積並びに各コンタクト11, 12の面積が大きいため、発熱を効率良く外部に放出することができ、静電耐量が向上する。また、直流電源VDDとグランドGNDとの間の静電耐量についても、上記と同様な理由から向上する。

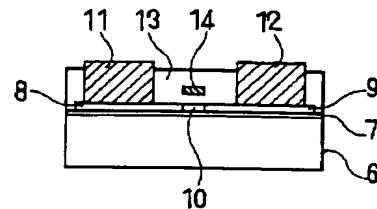
【0016】なお、本実施例では、各コンタクト11, 12の面積を最小ルール面積よりも大きく設定したが、最小ルール面積のコンタクトを複数個並べる構成をとっても、上記と同様の効果を発揮できる。また、nチャネルMOSFET 3, 4の代わりにpチャネルMOSFETを用いても、上記と同様の効果を発揮できる。

【図面の簡単な説明】

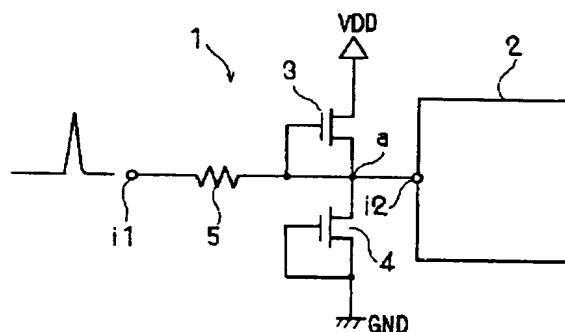
【図1】



【図1】



【図2】



フロントページの続き

(51)Int.Cl.⁶

H 01 L 21/822

27/08 3 3 1 E

29/786

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M
9056-4M

H 01 L 27/08
29/78

3 2 1 F
6 1 3 A
6 2 3 Z